

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-252900

(43)Date of publication of application : 17.09.1999

(51)Int.Cl.

H02M 3/07
G02F 1/133
G09G 3/18
G09G 3/20
H04N 5/63

(21)Application number : 10-043942

(71)Applicant : SHARP CORP

(22)Date of filing : 25.02.1998

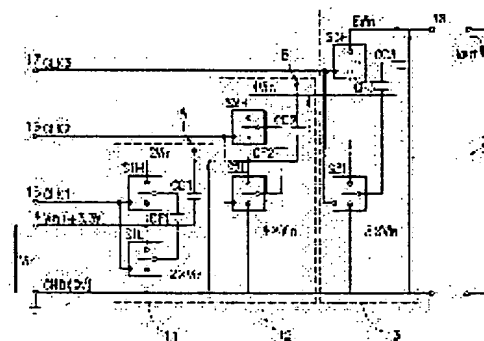
(72)Inventor : KAJIMOTO KOICHI

(54) POWER CIRCUIT, DISPLAY CONTAINING POWER CIRCUIT, AND ELECTRONIC EQUIPMENT CONTAINING DISPLAY

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress loss in a voltage increasing circuit in an after stage which a voltage increasing circuit in a before stage suffers and enhances the voltage conversion efficiency of a power circuit, by using a different cycle for all or part of the cycles of clocks for operating respective charge pumps of voltage increasing circuits in a plurality of stages.

SOLUTION: The respective switching clock input terminals 15, 16, 17 of the voltage increasing circuits 11, 12, 13, comprising a double boosting circuit, respectively, in first, second and third stages are isolated from one another, and switching clocks CLK1, CLK2, CLK3, different in cycle, are inputted thereto. Here, the switching clocks CLK1, CLK2, CLK3 are set so that the cycle of CLK2 is two times that of CLK1 and the cycle of CLK3 is four times that of CLK2. As a result, the voltage conversion efficiency of the entire power circuit can be enhanced.



LEGAL STATUS

[Date of request for examination]

12.01.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2000 Japanese Patent Office

THIS PAGE BLANK (USPTO)

Japanese Publication for Unexamined Patent Application
No. 252900/1999 (Tokukaihei 11-252900)

A. Relevance of the Above-identified Document

This document has relevance to claims 1, 13, 14, and 24 of the present application.

B. Translation of the Relevant Passages of the Document

[PROBLEMS TO BE SOLVED BY THE INVENTION]

[0009]

The basic unit of the charge-pump system is a $\times 2$ booster in which an input voltage and a switching clock is inputted to two capacitors and electrical switches, whereby an output voltage, which is integer multiples of the input voltage, is obtained through multiple stages of these $\times 2$ boosters.

[0010]

The foregoing booster requires a $\times 6$ voltage, which is obtained by three stages of the basic $\times 2$ boosters. The voltage is boosted two times in the first stage, four times in the second stage, and six times in the third stage. Further, in the foregoing boosters, the switching clocks inputted to the respective stages of the boosters all have the same period.

[0011]

THIS PAGE BLANK (USPTO)

Given the same capacitance of the capacitors used, the characteristics of voltage conversion efficiency of the charge-pump booster are decided by a switching period and a load, wherein, when a load is small (small load current), conversion efficiency becomes high at a relatively longer switching period, whereas when a load is large (large load current), conversion efficiency becomes high at a relatively shorter switching period. In the case where the boosters are provided in three stages, the load of the booster of the first stage includes not only the actual load current but also losses of the boosters of the second and third stages. Similarly, the load of the booster of the second stage includes not only the actual load current but also a loss of the booster of the third stage. As a result, the magnitudes of load currents of these different stages of boosters become different. Thus, when switching clocks of the same period are inputted to these stages of boosters, only some of the booster stages operate under optimum conditions, and conversion efficiency of the entire booster suffers.

[EMBODIMENTS]

[0028]

Fig. 1 is a block diagram showing a power supply of the present invention. Fig. 2(a) shows a concrete

THIS PAGE BLANK (USPTO)

circuit structure of a switch section, and Fig. 2(b) shows a schematic circuit structure of the switch section. Fig. 3 is a block diagram of a x2 booster which is structured from the circuit of Fig. 2.

[0029]

First, the following describes boosting operation of the x2 booster of the charge-pump system, with reference to Fig. 2 and Fig. 3.

[0030]

In Fig. 2, C1 and C2 are coupling capacitors, D1 and D2 are diodes, R1 and R2 are resistances, and Q1 and Q2 are FETs. The FET (Q1) becomes ON when the input signal to the CLK terminal becomes High level, with the result that the input/output terminal VI/O is charged to a higher potential (VH). Here, the FET (Q2) is OFF. Further, the FET (Q2) becomes ON when the input signal to the CLK terminal becomes Low level, with the result that the input/output terminal VI/O is charged to a lower potential (VL). Here, the FET (Q1) is OFF.

[0031]

The x2 booster as shown in Fig. 3, incorporating the foregoing structure, has a high switch section 34 and a low switch section 35, which come into operation according to a switching clock which is inputted from a switching clock input terminal 32, and booster flying

THIS PAGE BLANK (USPTO)

capacitor 36 and output capacitor 37 which are switched by the switching operation of these switches. With these elements, the $\times 2$ booster raises the input voltage of the voltage input terminal 31 two times, so as to output the boosted voltage from the output terminal 33.

[0032]

Upon input of V_{in} to the voltage input terminal 31 and a signal of Low level to the switching clock input terminal 32, the high switch section 34 and the low switch section 35 become connected to the Low level terminal. As a result, the voltage V_{in} is applied to the booster flying capacitor 36, storing charge therein.

[0033]

Then, upon input of a signal of High level to the switching clock input terminal 32, the high switch section 32 and the low switch section 35 become connected to the High level terminal. Here, the booster flying capacitor 36 and the output capacitor 37 are electrically connected to each other, and the charge stored in the booster flying capacitor 36 in the foregoing operation is transferred to the output capacitor 37. By repeating these procedures, the output terminal 33 is charged to the voltage of $2 \times V_{in}$.

[0034]

THIS PAGE BLANK (USPTO)

The following describes the power supply of the present invention according to the foregoing principles, with reference to Fig. 1.

[0035]

Each area 11, 12, 13 enclosed by a dotted line in Fig. 1 makes up the $\times 2$ booster as shown in Fig. 3. In a booster 11 of the first stage, the input voltage V_{in} to the voltage input terminal 14 is used to transfer charge from the booster flying capacitor $CF1$ to the output capacitor $CC1$ by switching the high switch section $S1H$ and the low switch section $S1L$ using a signal from the first-stage switching clock input terminal 15. As a result, a voltage of $2 \times V_{in}$ appears at junction A.

[0036]

In the second-stage booster 12, the voltage of $2 \times V_{in}$ appeared at junction A is used to transfer charge from the booster flying capacitor $CF2$ to the output capacitor $CC2$ by switching the high switch section $S2H$ and the low switch section $S2L$ using a signal from the second-stage switching clock input terminal 16. As a result, a voltage of $4 \times V_{in}$ appears at junction B.

[0037]

Further, in the second-stage booster 13, the voltage of $4 \times V_{in}$ appeared at junction B is used to

THIS PAGE BLANK (USPTO)

transfer charge from the booster flying capacitor CF3 to the output capacitor CC3 by switching the high switch section S3H and the low switch section S3L using a signal from the third-stage switching clock input terminal 18. As a result, a voltage of $8 \times V_{in}$ appears at junction C.

[0038]

In this manner, in the power supply of the present invention, the switching clock input terminals are independently provided for the first through third boosters 11 through 13, and switching clocks of different periods are inputted to the respective terminals. This is different from the conventional arrangement where switching clocks of the same period are inputted to all booster stages.

[0039]

Fig. 4 shows exemplary waveforms inputted to the switching clock input terminals of the boosters 11 through 13 of the respective stages.

[0040]

CLK1 is the switching clock inputted to the first-stage booster. Similarly, CLK2 and CLK3 are the switching clocks inputted to the second-stage booster and third-stage booster, respectively. In the present embodiment, CLK2 is set to have a period two times that

THIS PAGE BLANK (USPTO)

of CLK1, and CLK3 is set to have a period four times that of CLK1. Further, due to circuit designs, all the switching clocks are in synchronism with one another. However, it is not necessarily required to synchronize the timings of the switching clocks.

[0041]

In order to determine conversion efficiency of the power supply having the foregoing arrangement, a load resistance V_R was connected to the circuit of Fig. 1 and the current I_{out} through the load was varied, so as to determine input power and output power. The frequency of CLK1 was set to 3.6 kHz because the frequency of this value can be easily obtained from the internal clock of the liquid crystal display device.

[0042]

The result is indicated by ■ in Fig. 5, where the horizontal axis indicates load current I_{out} (mA), and the vertical axis indicates conversion efficiency (%). Assuming the liquid crystal display device, the variable range of the load current was 0.06 mA to 0.2 mA.

[0043]

Note that, Fig. 5 also shows the result of measurement, indicated by ♦, of a conventional example in which the same measurement circuit was used to

THIS PAGE BLANK (USPTO)

measure conversion efficiency with respect to CLK1 which was inputted to all the switching clock input terminals. Specifically, CLK1 (3.6 kHz) of Fig. 4 was inputted to the switching clock input terminals 15 through 17 of the block diagram of Fig. 1, so as to operate all the switch sections with the same period.

[0044]

As can be seen from Fig. 5, the conversion efficiency of the present example is improved over the conventional example with respect to the entire measurement range.

[0045]

Note that, the present embodiment described the boosters of three stages. However, the present invention is not limited to this arrangement and is also applicable to two or more stages of boosters.

[0046]

Further, the present embodiment described the power supply as a display device, using the liquid crystal display device as an example to measure conversion efficiency. However, the present invention is not just limited to the liquid crystal display device and is applicable to display devices of other varieties in general. Further, the present invention is also applicable to electrical devices with these

THIS PAGE BLANK (USPTO)

display devices, for example, such as OA devices, including word processors and personal computers; AV devices for handling images; and other electrical devices, including portable information terminals and portable phones.

[0047]

[EFFECTS OF THE INVENTION]

As described, a power supply of the present invention is provided with n (n being an integer of 2 or greater) boosters of the charge-pump system, and boosts an input power voltage using these boosters, wherein each booster carries out the charge-pump operation using one or two kinds of potentials, which may be the input power voltage and/or potentials which were created in the preceding boosters, and the clocks for carrying out the charge-pump operation of the boosters have periods which are partially or entirely different from one another. This enables each booster to come into operation under optimum conditions for a given load, thereby improving voltage conversion efficiency of the entire power supply. As a result, voltage conversion efficiency of the entire power supply can be improved.

[0048]

Further, the power supply is also applicable to a

THIS PAGE BLANK (USPTO)

display device. In this case, power consumption of the display device and thus of the electrical device incorporating the display device can be reduced, thereby extending the life (battery life) of the electrical device.

THIS PAGE BLANK (USPTO)

決すべくなくされたものであり、電圧変換効率の高い電源回路を提供するを目的とする。

【0013】また、本発明の他の目的は、その電源回路を用いて低消費電力化を図れる表示装置を提供し、また、その表示装置を用いて低消費電力化を図り使用時間(電池寿命)を伸ばすことができる電子機器を提供する。

【0014】

【課題を解決するための手段】本発明の請求項1の電源回路は、チャージポンプ方式の n 個($n \geq 2$ の整数)の昇圧回路を備え、その昇圧回路により入力電源電圧を昇圧する電源回路であって、各昇圧回路は、該入力電源電圧および前段の昇圧回路までで作成された電位の中から、1個または2個を用いてチャージポンプ動作を行い昇圧する構成となっており、その各昇圧回路のチャージポンプ動作を行うためのクロックの周期の全部または一部が異なり、そのことにより上記目的が達成される。

【0015】本発明の請求項2の電源回路は、請求項1の電源回路において、各昇圧回路のクロック周期を後段になるにしたがって大きくしていく構成とすることができ、

【0016】本発明の請求項3の電源回路は、請求項2の電源回路において、ある段の昇圧回路で作成された電位とその後段の昇圧回路で昇圧後の電位との昇圧倍率の分だけクロック周期を大きくしていく構成とすることができ、

【0017】本発明の請求項4の電源回路は、請求項1の電源回路において、各昇圧回路は、初段の場合に入力電源電圧または他段の場合に前段の出力電圧を2倍する構成となっており、各昇圧回路のクロック周期は、初段の場合に任意の周期または他段の場合に前段の昇圧回路におけるクロック周期の2倍となる構成とすることができ、

【0018】本発明の請求項5の表示装置は、請求項1に記載の電源回路を有し、そのことにより上記目的が達成される。

【0019】本発明の請求項6の電子機器は、請求項5に記載の表示装置を有し、そのことにより上記目的が達成される。

【0020】以下、本発明の作用について説明する。

【0021】請求項1に記載した発明は、チャージポンプ方式の n 個($n \geq 2$ の整数)の昇圧回路を備え、その昇圧回路により入力電源電圧を昇圧する電源回路であって、各昇圧回路は、該入力電源電圧および前段の昇圧回路までで作成された電位の中から、1個または2個を用いてチャージポンプ動作を行い昇圧する構成となっており、その各昇圧回路のチャージポンプ動作を行うためのクロックの周期の全部または一部に異なった周期を用いることにより、各昇圧回路が受ける後段の昇圧回路

での損失が抑制され、各昇圧回路がそれぞれ負荷に適した動作を行い、電源回路全体の電圧変換効率を上げることができ、

【0022】請求項2に記載した発明は、前記請求項1の電源回路で、各昇圧回路のクロック周期を後段になるにしたがって大きくしていくことにより、電源回路全体の電圧変換効率を上げることができ、

【0023】請求項3に記載した発明は、前記請求項1の電源回路で、ある昇圧回路で作成された電位とその後の昇圧回路で昇圧後の電位との昇圧倍率の分だけクロック周期を大きくしていくことにより、電源回路全体の電圧変換効率を上げることができ、

【0024】請求項4に記載した発明は、前記請求項1の電源回路で、各昇圧回路は、初段の場合に入力電源電圧または他段の場合に前段の出力電圧を2倍する構成となっており、各昇圧回路のクロック周期は、初段の場合に任意の周期または他段の場合に前段の昇圧回路におけるクロック周期の2倍となる構成とすることにより、電源回路全体の電圧変換効率を上げることができ、

【0025】請求項5に記載した発明は、前記請求項1の電源回路の構成を表示装置に用いることにより、表示装置の消費電力を低減することができ、

【0026】請求項6に記載した発明は、前記請求項5の表示装置の構成を電子機器に用いることにより、電子機器の消費電力を低減することができ、

【0027】

【発明の実施の形態】以下に、本発明の実施形態を具体的に説明する。

【0028】図1は、本発明の電源回路を示すブロック図である。図2(a)はスイッチ部の具体的な回路構成を示し、図2(b)はその簡略図を示す。図3は、図2の回路を用いて構成した2倍昇圧回路のブロック図を示す。

【0029】まず、図2および図3を用いて、チャージポンプ方式2倍昇圧回路の昇圧の方法を説明する。

【0030】図2において、C1、C2は結合コンデンサ、D1、D2はダイオード、R1、R2は抵抗、Q1、Q2はFETである。CLK端子に入力される信号が“H”になったとき、FET(Q1)がONし、高圧側の電位(VH)が入出力端子V1/0に現れる。このとき、FET(Q2)はOFFである。また、CLK端子に入力される信号が“L”になったとき、FET(Q1)がONし、低圧側の電位(VL)が入出力端子V1/0に現れる。このときFET(Q1)はOFFである。

【0031】この回路を用いて構成した図3に示す2倍昇圧回路は、スイッチングクロック入力端子32から入力されるスイッチングクロックによって動作する高圧側スイッチ部34および低圧側スイッチ部35、さらにそれらのスイッチング動作によって切り換えられる昇圧用

フライングコンデンサ36および出力用コンデンサ37によって、電圧入力端子31に入力された電圧の2倍の電圧に昇圧し、出力端子33から出力するものである。

【0032】まず、電圧入力端子31にV1nの電圧を入力し、スイッチングクロック入力端子32に“L”の信号が入力されたとき、高圧側スイッチ部34および低圧側スイッチ部35はH側の端子に接続される。従って、昇圧用フライングコンデンサ36にはV1nの電圧が印加され、電荷が蓄えられ。

【0033】次に、スイッチングクロック入力端子32に“H”の信号が入力されると、高圧側スイッチ部34および低圧側スイッチ部35はH側の端子に接続され、このとき、昇圧用フライングコンデンサ36と出力用コンデンサ37は電氣的に接続され、先の動作で昇圧用フライングコンデンサ36に充電された電荷は、出力用コンデンサ37へ送られる。この動作を繰り返すことによって、出力端子33には $2 \times V1n$ の電圧が現れる。

【0034】これをふまえて、図1に示す本発明の電源回路を説明する。

【0035】図1に示す、破線で囲まれた部分11〜13の各々が、図3で示した2倍昇圧回路である。第1段昇圧回路11は、電圧入力端子14に入力されたV1nの電圧を、第1段スイッチングクロック入力端子15から入力される信号により高圧側スイッチ部S1Hおよび低圧側スイッチ部S1Lを切り替え、これによって昇圧用フライングコンデンサCF1から出力用コンデンサCC1へ電荷を転送する。これによって、A点には $2 \times V1n$ の電圧が現れる。

【0036】第2段昇圧回路12は、A点に現れた $2 \times V1n$ の電圧を、第2段スイッチングクロック入力端子16から入力される信号により高圧側スイッチ部S2Hおよび低圧側スイッチ部S2Lを切り替え、これによって昇圧用フライングコンデンサCF2から出力用コンデンサCC2へ電荷を転送する。これによって、B点には $4 \times V1n$ の電圧が現れる。

【0037】さらに、第3段昇圧回路13は、B点に現れた $4 \times V1n$ の電圧を、第3段スイッチングクロック入力端子17から入力される信号により高圧側スイッチ部S3Hおよび低圧側スイッチ部S3Lを切り替え、これによって昇圧用フライングコンデンサCF3から出力用コンデンサCC3へ電荷を転送する。これによって、電圧出力端子18には $8 \times V1n$ の電圧が現れる。

【0038】このように、本発明の電源回路は、第1段、第2段、第3段昇圧回路11〜13の各々のスイッチングクロック入力端子を独立させ、各端子に異なった周期のスイッチングクロックを入力することを特徴とし、

【0039】図4に、各段の昇圧回路11〜13のスイッチングクロック入力端子に入力した波形的例を示す。

【0040】CLK1は、第1段昇圧回路に入力されるスイッチングクロックである。同様にCLK2は第2段昇圧回路、CLK3は第3段昇圧回路に入力されるスイッチングクロックである。実施形態では、CLK2はCLK1の2倍、CLK3はCLK1の4倍の周期に設定した。また、回路の作製の都合上、すべてのスイッチングクロックが同期しているが、それぞれのタイミングが非同期であっても特に問題はない。

【0041】この構成の電源回路の変換効率を求めるために、図1の回路に負荷抵抗VRを接続し、負荷に流れる電流Ioutを変化させて入力電力と出力電力を求めた。ここで、CLK1の周波数を液晶表示装置の内部クロックから作成し易い3.6kHzに設定した。

【0042】図5にその結果を圖で示す。横軸は負荷電流Iout(mA)をとり、縦軸は変換効率(%)をとっている。負荷電流の可変範囲は液晶表示装置を想定して0.06mAから0.2mAまでとした。

【0043】なお、図5に、従来例として、すべてのスイッチングクロック入力端子にCLK1を入力して同じ測定回路で同様に測定を行った結果を◆で示す。具体的には、図1のブロック図でスイッチングクロック入力端子15〜17に、図4のCLK1(3.6kHz)を入力し、すべてのスイッチ部の動作周期を同じにした。

【0044】図5より理解されるように、本実施形態例による場合には、すべての測定範囲において従来例よりも変換効率が改善される。

【0045】なお、上述した実施形態では3段の昇圧回路構成としているが、本発明はこれに限らず、2段以上の昇圧回路構成にも同様に適用することができる。

【0046】また、上述した実施形態では電源回路を有する表示装置として、液晶表示装置を例に挙げてその変換効率を測定しているが、本発明は液晶表示装置に限らず、他の方式の表示装置一般に適用することが可能である。また、本発明は、その表示装置を有する電子機器として、ワードプロセッサやパーソナルコンピュータといったOA機器や、画像を扱うAV機器、携帯情報端末や携帯電話などの電子機器に適用することができる。

【0047】

【発明の効果】以上詳述したように、本発明による場合には、チャージポンプ方式の n 個($n \geq 2$ の整数)の昇圧回路を備え、その昇圧回路により入力電源電圧を昇圧する電源回路であって、各昇圧回路は、該入力電源電圧および前段の昇圧回路までで作成された電位の中から、1個または2個を用いてチャージポンプ動作を行い昇圧する構成となっており、その各昇圧回路のチャージポンプ動作を行うためのクロックの周期の全部または一部に異なった周期を用いるので、各昇圧回路がそれぞれ負荷に適した動作を行い、電源回路全体の電圧変換効率を上げることができる。これによって電源回路全体の電圧変換効率を上げることができ、

(5)

【0048】また、この電源回路を表示装置に適用することによって、その表示装置の低消費電力化を図ることができ、その表示装置を搭載した電子機器の低消費電力化を図り使用時間（電池寿命）を伸ばすことができる。

【図面の簡単な説明】

【図1】本発明の実施形態に係る電源回路の構成を示すブロック図である。

【図2】（a）は本発明を適用するチャージポンプ方式電源回路のスイッチ部を示す回路図であり、（b）はその簡略図である。

【図3】本発明に適用するチャージポンプ方式2倍昇圧回路の概念図である。

【図4】本発明の実施形態の名昇圧回路に入力するスイッチングクロックの波形状を示す図である。

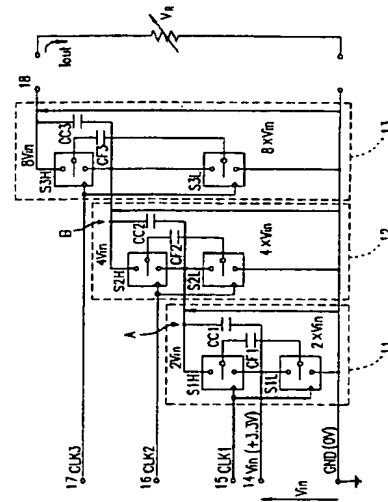
【図5】本発明の実施形態と従来例との電圧変換効率を比較して示すグラフである。

【符号の説明】

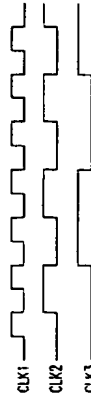
- 11 第1段昇圧回路
- 12 第2段昇圧回路
- 13 第3段昇圧回路

- 14 電源入力端子
- 15 第1段スイッチングクロック入力端子
- 16 第2段スイッチングクロック入力端子
- 17 第3段スイッチングクロック入力端子
- 18 電圧出力端子
- CLK スwitchングクロック
- VH 高圧側の電位
- VL 低圧側の電位
- VI/O 入出力端子
- 31 電圧入力端子
- 32 スwitchングクロック入力端子
- 33 出力端子
- 34 高圧側スイッチ部
- 35 低圧側スイッチ部
- 36 昇圧用フライングコンデンサ
- 37 出力用コンデンサ
- CLK1 スwitchングクロック
- CLK2 スwitchングクロック
- CLK3 スwitchングクロック

【図1】

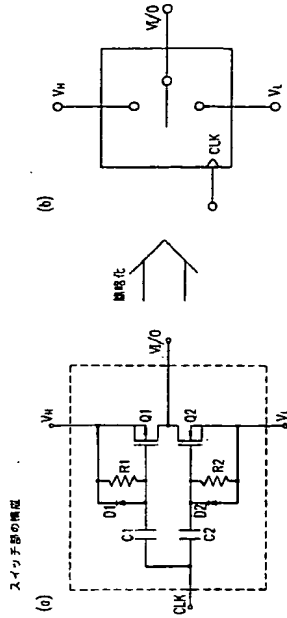


【図4】

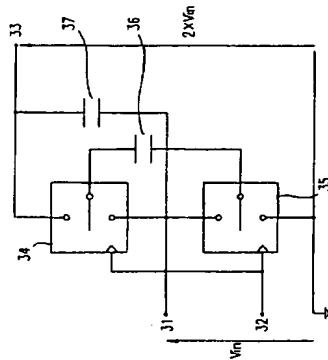


(6)

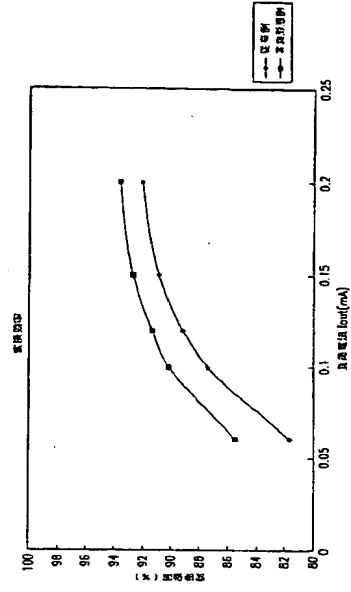
【図2】



【図3】



【図5】



THIS PAGE BLANK (USPTO)